

УДК.004.27; 004.25; 004.382.2

А.В. Палагин, В.П. Боюн, Ю.С. Яковлев

Интеллектуальная система памяти с секционированными модулями на ПЛИС и кольцевыми шинами

Предложена оригинальная структурная схема интеллектуальной системы памяти с секционированными модулями на ПЛИС с интерфейсом *PCI-Express* и кольцевыми шинами, обеспечивающая масштабирование и повышение производительности системы в целом путем распараллеливания и реализации фрагментов алгоритма или подпрограмм пользовательской задачи одновременно несколькими или всеми секциями.

Запропоновано оригінальну структурну схему інтелектуальної системи пам'яті з секціонованими модулями на ПЛІС з інтерфейсом *PCI-Express*, та кільцевими шинами, що забезпечує масштабування та підвищення продуктивності системи у цілому шляхом розпаралелювання і реалізації фрагментів алгоритму або підпрограм користувацького завдання одночасно декількома або всіма секціями.

Введение. При построении высокопроизводительных вычислительных средств, таких как графические процессоры, графические ускорители (*ATI Radeon X1000, X1300, X1600, X1800, ATI Radeon HD 2000* и др.) [1] нашли применение структуры шин, которые получили название кольцевых шин (КШ), ввиду их явного преимущества перед другими типами некоторых шин. Основные преимущества сводятся к следующему [2, 3]:

- КШ может работать на более высоких тактовых частотах, вследствие ее размещения, как правило, по периметру кристалла, что упрощает разводку кристалла и уменьшает его нагрев;

- в набор операций КШ может быть включена операция мультиплексирования с временным уплотнением, так что данные могут передаваться по КШ в назначенные кванты времени, при этом множество кадров данных могут присутствовать на шине одновременно;

- ширина КШ данных может быть уменьшена приблизительно в два раза в сравнении с разрядностью передаваемых данных путем того, что половина разрядов данных может передаваться по шине в одном направлении, а другая половина одновременно в другом – до соединения с первой половиной. Таким образом,

применение КШ при построении распределенных компьютерных систем как с классической архитектурой, так и с архитектурой типа *Processor-in-Memory (PIM)* – актуально.

Известные устройства с применением КШ [4–7] имеют следующие основные недостатки:

- низкое быстродействие из-за больших временных задержек при прохождении сигналов до соответствующих входов модулей памяти при выполнении операций чтения или записи данных;

- исключается возможность одновременного обращения к памяти за несколькими данными или для параллельной записи массива данных;

- исключается возможность параллельной обработки информации несколькими процессорами, так как при передаче информации пакета активизируются процессоры по пути его следования;

- обладает ограниченными свойствами масштабируемости при наращивании емкости памяти;

- не используется одновременная передача нескольких пакетов по КШ в определенные кванты времени;

- большие затраты времени на передачу полученной после обработки информации моду-

лем, размещенном на середине КШ, содержащей N модулей, так как информация, прежде чем попасть в хост-устройство (главный процессор), должна пройти минимум через $N/2$ модулей либо обработать такое же количество логических процедур их обхода;

- большие затраты времени на анализ информации, размещенной в передаваемом пакете с целью определения нужного для обработки модуля и передачи ему пакета. Блок интерфейса определяет, предназначен ли полученный информационный пакет на КШ для ее конкретного модуля. Если информация не предназначена для ее модуля, тогда информация передается обратно на КШ. Если информация предназначена для ее модуля, интерфейс передает информацию соответствующему процессору. Такой процесс занимает много времени, если требуемый для обработки модуль самый отдаленный от входа запроса;

- создает технологические трудности при размещении большого количества шин (сигнальных линий) внутри каждого модуля памяти и системы памяти в целом.

Предложенная интеллектуальная система памяти с целью устранения большинства из перечисленных недостатков разделена на параллельные секции [8, 9], каждая из которых выполнена на ПЛИС с аппаратурной адаптацией под класс решаемых задач и содержит КШ, а также интерфейс *PCI-Express*, что обеспечивает параллельное выполнение частей алгоритма или подпрограмм каждой секцией независимо от других и быструю передачу полученных результатов. Так при наличии N секций общее время реализации алгоритма может быть уменьшено примерно в N раз. При этом КШ и интерфейс *PCI-Express* имеют существенные преимущества в сравнении с другими типами шин и интерфейсов [2, 9–11].

Цель статьи – создание архитектурно-структурной организации распределенной памяти компьютерной системы с секционированными кольцевыми шинами (СКШ), образующими в

каждой секции интеллектуальную подсистему, что обеспечивает распараллеливание фрагментов алгоритма (или нескольких алгоритмов) и тем самым повышает производительность компьютерной системы в целом при пониженных параметрах потребляемой мощности путем применения ПЛИС и скоростного интерфейса *PCI-Express*.

Постановка задачи

Под интеллектуальной подсистемой памяти (ИПП) компьютерных систем (КС) будем понимать техническое устройство распределенной памяти, которое, помимо стандартных функций записи, хранения и чтения данных, обладает также функциями логической и арифметической обработки информации с помощью средств обработки, размещенных в непосредственной близости и подключенных к выделенным массивам памяти.

Современные ПЛИС позволяют реализовать ряд задач на аппаратном уровне намного эффективнее по параметрам производительности, пропускной способности, латентности и т.д., чем их программная реализация даже на самых современных микропроцессорах. Это достигается явным преимуществом ПЛИС перед современной элементной базой другого типа путем адекватного аппаратурного отображения на кристалле ПЛИС реализуемого алгоритма либо отдельных его частей. Поэтому ПЛИС нашли широкое применение в различных областях науки и техники [1, 11].

Структурная схема КС с секционированными модулями, включающими КШ, приведена на рис. 1, а ее основные компоненты (секционированный модуль, блок формирования конфигурации (БФК)) соответственно – на рис. 2 и 3 [8, 9].

Структурная схема (рис. 1) содержит: системный контроллер, блок синхронизации, интерфейс с сервером, селектор выбора секции, первую буферную схему (БУФСх), вторую буферную схему, набор секций, соединенные между собой соответствующими связями. Блок синхронизации, управляемый системным контроллером, выдает сигналы синхронизации по

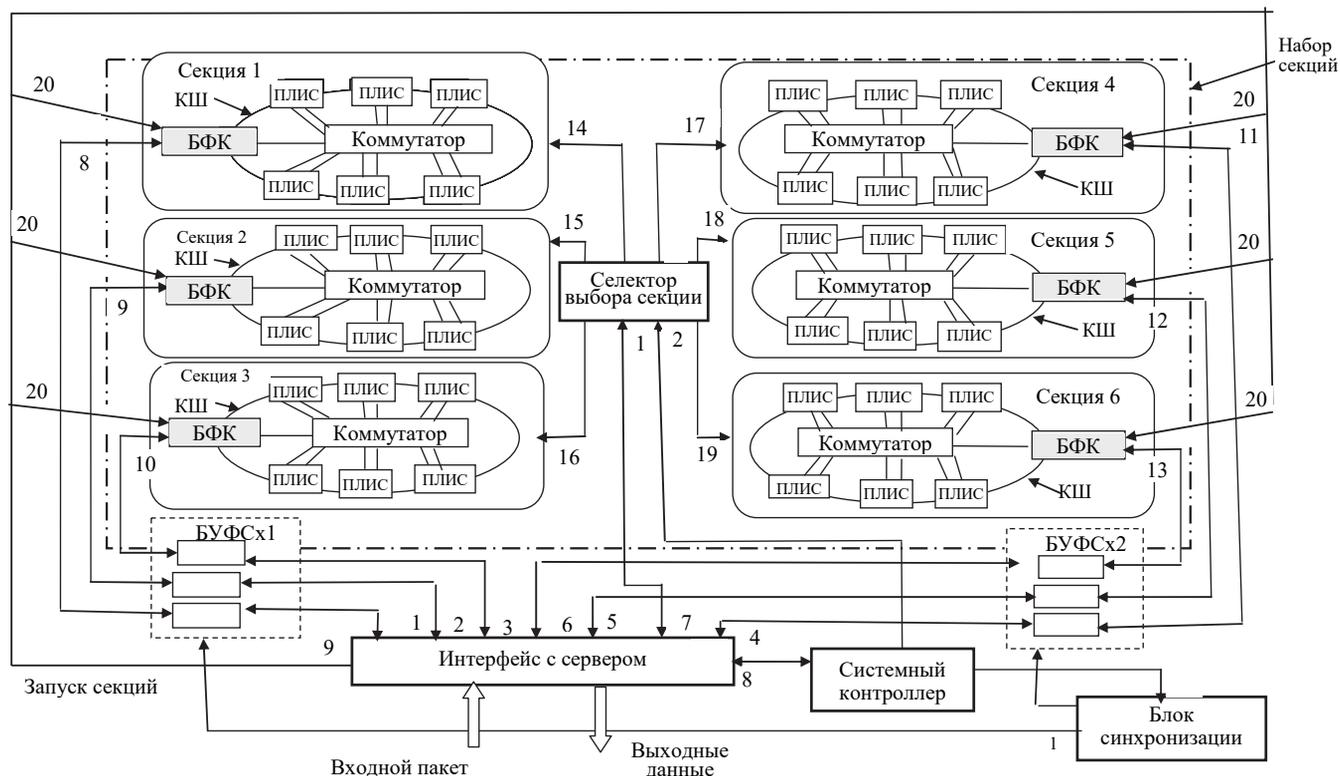


Рис. 1. Интеллектуальная система памяти с секционированными модулями на ПЛИС, содержащими КШ

соответствующим линиям связи на БУФСx1 и БУФСx2, синхронизируя работу всей системы памяти.

Секционированный модуль предназначен для выполнения с помощью процессора, размещенного в каждой ПЛИС, параллельно и независимо друг от друга фрагментов реализуемого алгоритма (или подпрограмм), а также цепочки фрагментов непрерывно один за дру-

гим каскадным способом, причем, благодаря применению коммутатора, построенного по принципу *каждый с каждым*. ПЛИС, реализующая предыдущий фрагмент алгоритма, может передать свои результаты любой из пяти оставшихся ПЛИС каждой секции. Результаты выполнения цепочки операций поступают по КШ в основную память процессора БФК и далее через собственный интерфейс БФК и

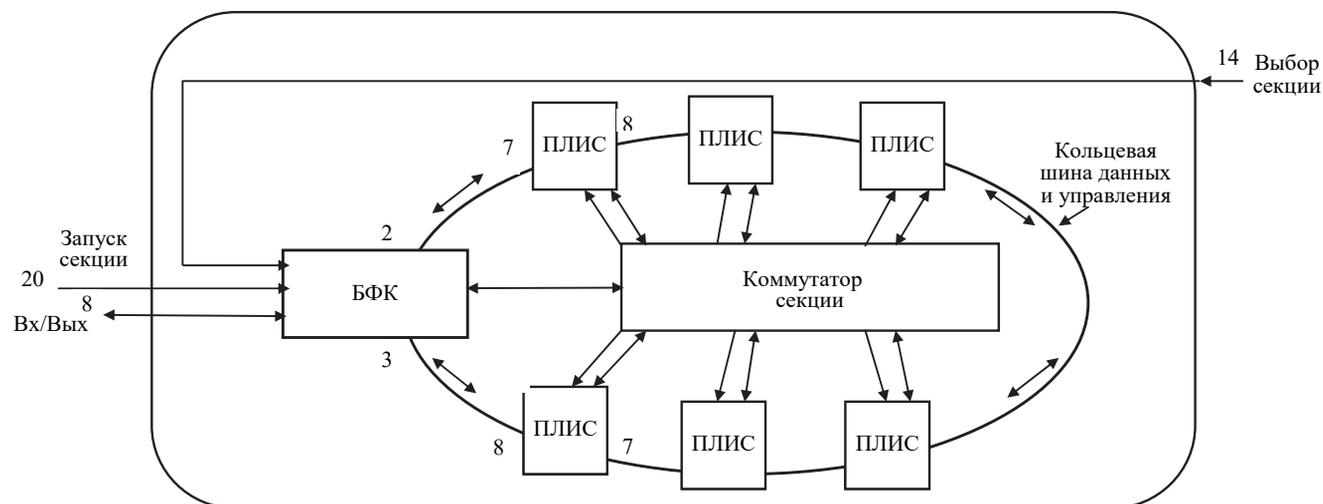


Рис. 2. Структурная схема одной секции

Селектор выбора секции содержит входной регистр для хранения кода выбора и специализированную схему выбора секции, определяющую участие каждой секции (последовательно или параллельно) в реализации крупных фрагментов или подпрограмм реализуемого алгоритма.

Первые и вторые буферные схемы – одинаковые, и каждая из них содержит: синхронизируемые тактовым сигналом n – разрядные регистры для передачи информации в прямом (к секциям) и в обратном (к интерфейсу с сервером) направлениях, схемы задержки для установления сбалансированных задержек информации, поступающей от различных секций в результате параллельного выполнения множества фрагментов (либо подпрограмм), реализуемого устройством алгоритма, и регистр выдачи результата для передачи его серверу через интерфейс с сервером, соединенные между собой соответствующими связями.

Блок синхронизации (рис. 1) содержит тактовый генератор, вырабатывающий последова-

тельность тактовых сигналов, а также схемы, изменяющие скважность этой последовательности, например, путем деления исходной частоты тактового генератора, что необходимо, например, для отладки устройства в целом. При этом для увеличения мощности тактовых сигналов применены соответствующие микросхемы.

Работа устройства распределенной интеллектуальной системы памяти происходит в пакетном режиме. Пример структуры пакета, содержащего необходимые коды полей, отражен на рис. 4. При этом приняты следующие обозначения, которые сведены в таблицу. Следует отметить, что состав полей управляющего пакета и разрядность каждого поля определяется типом и функциональными возможностями интеллектуальной распределенной системы памяти (ИРСП), а также особенностями решаемых с помощью ИРСП задач.

Пакет может изменяться по длине обеспечивая таким образом эффективную обработку простых операций с маленькими пакетами и эффективным использованием полосы пропус-

Т а б л и ц а. Состав и назначения кодов полей управляющего пакета

№	Наименование полей пакета	Функциональное назначение полей входного пакета
1	ССБ	Код поля системного и других типов сигнала сброса устройства в исходное состояние
2	ИДП	Код поля идентификатора пакета
3	ЗБСФсп	Код поля запуска блока служебных функций для реализации сервисных программ: распределения памяти и размещения данных, разбиения задачи на параллельные фрагменты, запуска библиотеки стандартных подпрограмм, загрузки данных и др.
4	ВЗС	Код поля выбора и запуска секционированных модулей
5	ВЗплис	Код поля выбора и запуска ПЛИС в составе секций
6	ВРРплис	Код выбора режимов работы ПЛИС в выбранных секциях
7	КППск	Код поля, определяющий передачи информации между секциями
8	ПДм.плис	Код поля адреса для передачи блоков данных между ПЛИС различных секций
9	СДПоп	Код поля спецификатора действия пакета, определяющего типы логических и арифметических операций, которые должны быть выполнены объектом–адресатом после получения пакета
10	ПДп	Код поля значения параметров (данных), которые могут использоваться при выполнении текущего действия
11	ПРреж	Код поля признака, отражающего характер и последовательность действий в различных режимах работы системы памяти, в том числе – в качестве обычной памяти, а также в качестве интеллектуальной и КЭШ-памяти
12	ПРрес	Код поля признака использования ресурсов обработки информации собственной системы или дополнительных ресурсов других систем, подключенных через соответствующие интерфейсы
13	КРкш	Код для управления режимами работы КШ (выделение секций и соответственно ПЛИС, широкочастотной передачи по КШ данных или команд, передачи информации по КШ по часовой стрелке и против часовой стрелки и др.)
14	ККсек	Код поля для управления коммутацией внутри секции
15	Пнастр	Код поля для предварительной и в процессе работы настройки системы
16	Пдоп	Дополнительные (вспомогательные) коды полей, необходимые для надежной транспортировки, обнаружения ошибок, маршрутизации и управления контекстом
17	ПДзак	Код поля заключительного элемента пакета – поле, определяющее последующие действия после окончания выполнения данного пакета, например, могут быть созданы один или более дочерних пакетов

кания для перемещения больших блоков данных. Пакеты также могут использоваться для выполнения операций типа отдаленной загрузки или хранения, а также для вызова методов обработки на другой аналогичной системе памяти, перемещая тем самым с помощью пакетов обработку ближе к данным за меньшее время, чем данные (как обычно) передаются к ним. Пакеты позволяют осуществлять разбиение или расщепление операций, обеспечивая тем самым допустимое время ожидания для всей системы. При этом длина (количество разрядов) управляющего пакета может быть равна длине строк, хранимых данных (например, 64 бит), и поэтому пакеты могут быть сохранены в строке широких регистров и обработаны непосредственно процессором БФК.



Рис. 4. Структура входного управляющего пакета

Применительно к предлагаемой системе интеллектуальной памяти (рис. 1) управляющий пакет содержит поля и признаки, отражающие характер и последовательность действий, а также обеспечивающие настройку ресурсов системы ($P_{НАСТР}$) перед запуском ее на решение конкретной задачи или при необходимости перенастройку в процессе работы.

Основные функциональные назначения полей входного пакета указаны в таблице.

ИРСП с секционированными модулями на ПЛИС может работать в следующих режимах:

- распределенной памяти с множественным доступом при реализации записи и чтения данных в/из основной памяти БФК, а также памяти ПЛИС каждой секции;
- настройки конфигурации системы с применением методов аппаратурной реализации на ПЛИС отдельных фрагментов алгоритма (или подпрограмм), а также соответствующих подпрограмм распределения памяти, разделения алгоритма на параллельные участки (фрагменты) и распределения их по процессорам;
- организации параллельного вычислительного процесса с использованием нескольких из имеющихся секций;

- организации параллельного вычислительного процесса с использованием всех секций;
- организации последовательного вычислительного процесса каскадным способом процессорами, размещенными на ПЛИС внутри каждой (одной) секции и параллельного их выполнения для всех секций.

Работа системы памяти начинается с того, что происходит формирование ее конфигурации. Для этого на соответствующий вход интерфейса с сервером поступает входной пакет, который запоминают на широких регистрах этого интерфейса.

Имеющиеся в составе интерфейса логические схемы сначала анализируют идентификатор пакета (ИДП) (свой, чужой) и выделяют код поля ССБ для установки всей системы в исходное состояние (эти цепи на схеме рис. 1 не показаны). Далее выделяют код поля ЗБСФсп и формируют управляющий сигнал, который совместно с сигналом «Выбор секций» (открыты все секции), с соответствующих выходов интерфейса поступает на соответствующие входы каждой секции и запускает БСФ всех секций для реализации сервисных программ. На следующем этапе интерфейс с сервером выделяет коды полей ВЗС (см. таблицу) и формируют на входах сигнал «Запуск» для всех секций соответствующие управляющие сигналы (рис. 3) для выбора и запуска одного либо нескольких секционированных модулей при условии наличия соответствующего сигнала с выхода интерфейса на первых входах селектора выбора, который определяет количество выбранных модулей. При этом сигналы разрешения на входе селектора формируют системным контроллером, используя код поля ВЗС, который поступает с восьмых входов/выходов интерфейса на соответствующие входы/выходы системного контроллера.

Сигнал запуска ПЛИС в составе каждого секционированного модуля формируют, используя код поля ВЗплис. При этом на первых по шестой входах коммутатора секции должен присутствовать набор сигналов с первых выходов БФК, определяющий количество выбранных ПЛИС, и сигналы выбора режимов работы ВРРплис в выбранных секциях (рис. 1 и

3). Эти сигналы формируют на основе анализа указанных кодов полей, поступающих через соответствующие входы/выходы БУФСх1 и БУФСх2 с первого по шестой входы/выходы интерфейса с сервером.

Таким образом, при наличии сигналов на первом и втором входах микросхемы «И» (рис. 1 и 3) происходит запуск процессора блока БФК, который распределяет заведомо разделенные фрагменты алгоритма с помощью БСФ по памяти ПЛИС (либо по внешней памяти) на независимые либо каскадно зависимые участки для параллельного, либо каскадно зависимого выполнения фрагментов алгоритма задачи пользователя, используя при этом входы/выходы КШ и коммутатор секции, а также спецификатор действия пакета СДП_{оп}, определяющий типы логических и арифметических операций, которые должны быть выполнены объектом–адресатом после получения пакета.

Обработка алгоритма решаемой задачи пользователя осуществляется при наличии сигналов запуска на первых входах выбранной микросхемы ПЛИС, подключенных к КШ, поступающих с соответствующих выходов коммутатора выбранных секций, сформированные интерфейсом БФК на основе информации из основной памяти. Результаты обработки всего алгоритма передают через соответствующие входы/выходы интерфейса БФК и далее через входы/выходы БУФСх1 и БУФСх2 (под управлением сигналов синхронизации) с первого по шестой входы/выходы интерфейса с сервером. При этом используются коды полей входного пакета ПД₁ и КРкш, обеспечивая соответствующие режимы работы КШ и соответственно ПЛИС.

В случае применения коммутатора типа *каждый с каждым* выполнение операций каждой предыдущей ПЛИС выбранной секции может быть передано любой ПЛИС этой секции. При этом используется код поля КК_{СК}. Аналогичная процедура может быть выполнена и для выбора непосредственно секций, если селектор выбора секции построен по аналогичным принципам, что и коммутатор. При

этом используются коды секций КШ_{СК} и ПД_{М.ПЛИС} (см. таблицу).

Сигнал синхронизации формируют при поступлении от системного контроллера кода поля ВРР_{ПЛИС}, который поступает с первого выхода системного контроллера на соответствующий вход блока синхронизации, с первого и второго выходов которого сигналы синхронизации поступают на соответствующие входы БУФСх1 и БУФСх2, выполняя при этом функции глобальной синхронизации всех результатов (а при необходимости их пристыковку), полученных от каждой секции.

При реализации других режимов работы ИРСП с секционированными модулями на ПЛИС используются коды полей ПР_{РЕЖ}, ПР_{РЕС}, КК_{СЕК}, П_{ДОП}, ПД_{ЗАК} (см. таблицу), а также различные модификации кодов обозначенных полей. Например, при использовании устройства в качестве распределенной памяти с множественным доступом для выполнения записи и чтения данных в/из основной памяти БФК, а также памяти ПЛИС каждой секции используются коды полей ПР_{РЕЖ} и КК_{СЕК}, с помощью которых формируются сигналы запроса на соответствующих входах секций. Эти сигналы сформированы, используя внутренние схемные ресурсы БФК, обеспечивая возможности параллельного доступа к памяти. При этом информация на запись поступает с восьмого по тринадцатый входы через БУФСх1 и БУФСх2 с первого по шестой вход/выход интерфейса с сервером под управлением блока синхронизации. Считанная информация из памяти каждой ПЛИС после ее обработки, с соответствующих входов/выходов всех ПЛИС каждой секции, используя при этом код поля КРкш, поступает на входы/выходы коммутатора секций. Далее эта информация через первые входы/выходы БФК после конкатенации под управлением сигналов синхронизации, проходят через БУФСх1 и БУФСх2 на входы/выходы с первого по шестой интерфейса с сервером. При этом сигналы с девятих выходов интерфейсов с сервером на входы всех секций не поступают, и запуск каждого процессора БФК заблокирован.

Заклучение. Таким образом, предложенная система интеллектуальной памяти обеспечивает повышение производительности в сравнении с известными системами памяти путем применения секционированных модулей на ПЛИС, содержащих КШ, что обеспечивает возможности масштабирования, а также распараллеливания пользовательского алгоритма. При этом применение КШ также, как и применение ПЛИС, уже сами по себе в сравнении с классическими подходами к построению систем памяти (как было указано) повышают производительность системы снятием ряда технологических ограничений при размещении на кристалле КШ, уплотнения информации в определенные кванты времени для них и др., а также аппаратной реализации адекватного отображения алгоритма решаемой задачи на ПЛИС параллельно с программной реализацией этого же алгоритма. Эти факторы позволяют сделать выводы, что при применении N секционированных модулей памяти на ПЛИС, содержащих КШ, производительность такой системы при распараллеливании пользовательской задачи увеличивается приблизительно в N раз. Немаловажно и то, что, помимо классических операций записи, хранения и выдачи информации в системе памяти, в непосредственной близости находятся и средства обработки информации, наделяя тем самым систему памяти свойствами интеллектуальности, что также сказывается на производительности такой системы и области ее применения.

1. Яковлев Ю.С. О выборе графических ускорителей для компьютерных систем // Наук. пр. ДонНТУ. – Сер. Информатика, кібернетика та обчислювальна техніка. – 2013. – № 2(18). – С. 61–71.
2. Яковлев Ю.С., Тихонов Б.М., Елисеева Е.В. Компьютерная система типа «Процессор–в–памяти» с модифицированной кольцевой шиной // УСиМ. – 2011. – № 3. – С. 51–54, 88.

3. Пат. 57 629 А. Украина. МПК (2006) G06F 15/16, G06F 13/42. Интеллектуальна розподілена система пам'яті з кільцевою шиною / Палагін О.В., Яковлев Ю.С., Тихонов Б.М., Єлісєєва О.В. – Опубл. 10.03.2011. Бюл. № 5/2011. – 41 с.
4. Пат. № 9,444,737. США: Packet data processor in a communications processor architecture / Munoz; Robert J. Класс США: H04L 45/742 (20130101); H04L 45/74 (20130101). Международный класс: H04L 2/747 (20130101); H04L 12/741 (20130101). – Опубл. (13.08.2016).
5. Пат. № 6,253,292 США: Distributed shared memory multiprocessor system based on a unidirectional ring bus using a snooping scheme / Jhang Seong Tae, Jhon Chu Shik, Kim Hyung Ho, класс США: 711/146; 709/218; 711/148; 711/E12.025. Международный класс: G06F 12/08 (20060101); G06F 012/00. – Опубл. 26.06.2001.
6. Пат. США: Multiple processor accelerator for logic imulation / Catlin Gary M. (№ 4,872,125. Класс США: 703/16; 700/3; 710/100. Международный класс: G06F 17/50 (20060101); G06F 15/16 ()). – Опубл. 3.10.1989.
7. Пат. США: Multi-tier point-to-point ring memory interface / Randy M. Bonella, John B. Halbert (6 658509 B1. Класс США: 710/100; 370/223; 710/300. Международный класс: G06F 13/42 (20060101); G06F 013/00 ()); G01R 031/08 ()). – Опубл. 2.12.2003.
8. Боюн В.П. Динамическая теория информации. Основы и применения. – Киев: Ин-т Кибернетики НАН Украины, 2001. – 326 с.
9. Пат. № 119772 Украина. МПК G06F 13/42 (2006.01). Интеллектуальна розподілена система пам'яті із секціонованими модулями на ПЛІС / Палагін О.В., Яковлев Ю.С., Боюн В.П. – Опубл. 10.10.2017. Бюл. № 19. – 11 с.
10. Яковлев Ю.С. О применении интерфейса PCI-express для построения компьютерных систем с использованием ПЛИС // УСиМ. – 2016. – № 5. – С. 37–46.
11. Нестеренко Н.В., Ересько В.В., Яковлев Ю.С. Применение ПЛИС для построения вычислительных систем и их компонентов // Математичні машини і системи. – 2016. – № 1. – С. 3–13.

Поступила 14.12.2017

Тел. для справок: +38 044 526-2149 (Киев)

E-mail: palagin_a@ukr.net, vboyun@gmail.com,

yakyurlen@ukr.net

© А.В. Палагин, В.П. Боюн, Ю.С. Яковлев, 2017

UDC 004.27;004.25;004.382.2

A.V. Palagin¹, V.P. Boyun², Yu.S. Yakovlev³

¹ Academician of National Academy of Sciences of Ukraine, V.M. Glushkov Institute of Cybernetics of National Academy of Sciences of Ukraine, Glushkov ave., 40, Kyiv, 03187, Ukraine, E-mail: palagin_a@ukr.net

² Doctor of Technical Sciences, V.M. Glushkov Institute of Cybernetics of National Academy of Sciences of Ukraine, Glushkov ave., 40, Kyiv, 03187, Ukraine, E-mail: vboyun@gmail.com

³ Doctor of Technical Sciences, V.M. Glushkov Institute of Cybernetics of National Academy of Sciences of Ukraine, Kyiv, Glushkov ave., 40, Kyiv, 03187, E-mail: yakyurlen@ukr.net

Intellectual Memory System with the Partitioned Modules on FPGA and Ring-bus Circuits

The aim. The original block diagram of intellectual memory system with the partitioned modules on FPGA with PCI-Express interface and the ring-bus circuits is offered, which provides scaling and increasing system productivity in whole by parallelizing and implementing the fragments of algorithm or subroutines of the user problem simultaneously by several or all sections.

The concepts. Thus application of ring-bus circuits as well as application of FPGA, already on its own account in comparison with the traditional approaches of the memory systems construction, increase system productivity at the expense of some technological limitations through placing of ring-bus circuits on a chip, information consolidation in certain quanta of time for ring-bus circuits, etc., and also through hardware realization of the adequate mapping of algorithm of a solved problem on FPGA in parallel to the programme realization of the same algorithm. In addition, FPGA can be used for both information storage and information processing.

Conclusion. Already these factors allow to conclude that, through application of N of the partitioned modules of memory on FPGA containing ring-bus circuits, the productivity of such system increases approximately in N times through paralleling of the user problem. The important factor is also that, besides traditional operations of the information record, storage and deliveries, the means of the information processing are situated here in immediate proximity, endowing memory system with properties of intellectuality, which also affects the productivity of such system and the area of its application.

1. Yakovlev Yu.S. On the choice of graphic accelerators for computer systems, *Sbornik nauchnih trudov DonNTU, Seriya: «Informatika, kibernetika i vychislitel'naya tehnika»*, 2 (18), 2013, P. 61–71.
2. Yakovlev Yu.S., Tikhonov B.M., Yeliseyeva E.V. Computer system of the "Processor-in-memory" type with a modified ring bus, *Upr. sist. mas.*, 2011, 3, P. 51–54, 88. (In Russian).
3. *Patent 57629 Ukraine. MPK (2006) G06F 15/16, G06F 13/42*, Intelligence distribution storage system with ring bus, Palagin O.V., Yakovlev Yu.S., Tikhonov B.M., Yeliseyeva O.V. Published 10.03.2011. Byul. N 5/2011, 41 p. (In Ukrainian).
4. Munoz, Robert J. *Patent US20140153575 A1 USA, H04L12/56*, Packet data processor in a communications processor architecture, Application date February 13, 2010, Publication date June, 5, 2014.
5. Jhang, Seong Tae, Jhon, Chu Shik, Kim, Hyung Ho, *Patent US6253292 B1 USA, G06F15/173*, Distributed shared memory multiprocessor system based on a unidirectional ring bus using a snooping scheme, Publication date June, 26, 2001.
6. Catlin; Gary M, *Patent US4872125 A USA, G06F17/50*, Multiple processor accelerator for logic simulation, Publication date October, 3, 1989.
7. Randy M. Bonella, John B. Halbert, *Patent US6658509 B1 USA, G06F13/42*, Multi-tier point-to-point ring memory interface, Publication date December, 2, 2003.
8. Boyun V.P. Dynamic information theory. Fundamentals and Applications, Kiev: Institute of Cybernetics NAS Ukraine, 2001, 326 p. (In Russian).
9. *Patent 119772 Ukraine, MPK G06F 13/42 (2006.01)*. Intellectual distribution of memory system from sected modules for FPGA, Palahin O.V., Yakovlyev Yu.S., Boyun V.P. Published 10.10.2017. Byul. 19, 11 p. (In Ukrainian).
10. Yakovlev Yu.S. Application of Interface PCI-Express for Computer Systems with Usage PLIS Construction, *Upr. sist. mas.*, 2016, 5, P. 37–46. (In Russian).
11. Nesterenko M.V., Yeresko V.V., Yakovlev Yu.S. Application of FPGA to build computing systems and their components, *Mathematical Machines and Systems*, 2016, N 1, P.3 – 15. (In Russian).

