

УДК. 004.2; 004.3; 681.5

Ю.С. Яковлев

О применении интерфейса *PCI-Express* для построения компьютерных систем с использованием ПЛИС

Показано преимущество интерфейса типа *PCI-Express* перед другими разновидностями интерфейсов и приведены его основные характеристики. Рассмотрены структурные схемы организации *PCI-Express* для отдельных систем, а также модули *PCI-Express*, выполненные на соответствующих платах, которые имеют различные наборы линий передачи данных типа «точка–точка».

Ключевые слова: стандарт *PCI-Express*, ПЛИС, система с *PCI-Express*, платы модулей *PCI-Express*.

Показано перевагу інтерфейсу типу *PCI-Express* перед іншими різновидами інтерфейсів та наведено його основні характеристики. Розглянуто структурні схеми організації *PCI-Express* для окремих систем, а також модулі *PCI-Express*, які виконано на відповідних платах і мають різні набори ліній передачі даних типу «крапка–крапка».

Ключові слова: стандарт *PCI-Express*, ПЛІС, система з *PCI-Express*, плати модулів *PCI-Express*.

Введение. В настоящее время в компьютерах используются следующие основные стандарты шинного интерфейса: шина *ISA (Industry Standard Architecture)*, шина *PCI (Peripheral Component Interconnect)* и шина *PCI-Express*. Основополагающий принцип, положенный в основу шины *PCI*, – применение так называемых мостов (*bridges*), осуществляющих связь между шиной *PCI* и другими шинами. Для ускорения передачи данных в шине *PCI* используется пакетный режим (*burst mode*). *PCI-Express (PCIe)* – симметричная, двунаправленная (*bi-directional*) шина, позволяющая передачу данных со скоростью почти в два с половиной раза больше, чем пропускная способность шины *PCI-X*, и более чем в девять раз быстрее скорости работы шины *PCI* [1].

Стандарт *PCI-Express* предназначен для использования в компьютерной технике, мобильных устройствах, рабочих станциях, серверах, коммуникационных платформах и встраиваемых устройствах. Основой интерфейса *PCI-Express* [2, 3.] в общем случае есть дифференциальные сигнальные пары контактов, совершающие обмен данными по схеме *точка–точка*. Благодаря новой топологии получаем удешевление конструкции, снижение габаритов, более простую разводку печатных дорожек с

упрощенными требованиями в борьбе с паразитными излучениями и возможность работы на гораздо более высоких частотах с поддержкой *горячей* замены периферийных устройств.

PCI-Express де-факто стало стандартом передачи данных между *CPU*, системной памятью и аппаратными ускорителями (*GPU*, ПЛИС) в задачах *High Performance Computing (HPC)*. Также в последнее время появились технические решения, позволяющие расширить шину *PCI-Express* через кабельные соединения и подключать дополнительные периферийные устройства вне корпуса компьютера [3, 4].

В *PCI-Express* для подключения устройства используется одно или несколько двунаправленных последовательных соединений типа *точка–точка*, реализованных на медной витой паре. При обмене данными по витой паре используется метод низковольтной дифференциальной передачи сигналов (уровню логической «1» сигнала соответствует напряжение 0,8 В) – *LVDS (Low-Voltage Differential Signaling)*. Небольшая амплитуда сигнала, а также незначительное электромагнитное влияние проводов пары друг на друга позволяют уменьшить шумы в линии и передавать данные на высоких частотах, т.е. с большой скоростью. Для повышения скорости передачи данных можно ис-

пользовать несколько соединений (витых пар), по которым биты одного слова (операнда) передаются одновременно (параллельно). Количество соединений для устройства задается с помощью числа, за которым (или перед которым) указывается буква *x*. В настоящее время в спецификации определены соединения 1*x*, 2*x*, 4*x*, 8*x*, 16*x* и 32*x*. Для каждого из этих соединений шины *PCI-Express* определен свой вид разъема.

В целом *PCI-Express* представляет собой аппаратный комплекс, затрагивающий северный/южный мосты, коммутатор и конечные устройства. *PCI-Express* поддерживает совместимость с *PCI* на программном уровне, т.е. существующие операционные системы должны загружаться без каких-либо изменений. Устройства *PCI-Express* взаимодействуют между собой через среду, образованную коммутаторами, при этом каждое устройство напрямую связано соединением типа точка–точка с коммутатором.

Архитектура *PCI-Express* состоит из нескольких уровней: физический, канальный, уровень транзакций и программный уровень. В самом низу находится *физический уровень (Physical Layer)*. Основной принцип связи на физическом уровне *PCI-Express* заключается в использовании двух дифференциальных сигналов с низким напряжением для приема и для передачи. Передача по нескольким линиям прозрачна для остальных слоев.

Канальный уровень (Data Link Layer) гарантирует надежную передачу и целостность данных для каждого пакета, переданного по связи *PCI-Express*.

Уровень транзакций (Transaction Layer) создает пакеты и передает информацию от программного уровня на канальный уровень в виде отдельных транзакций. Каждый пакет имеет уникальный идентификатор, также уровень поддерживает 32-битную или расширенную 64-битную адресацию памяти.

Программный уровень (Software Layer) отвечает за программную совместимость. Процесс инициализации и работы с устройствами шины остался неизменным в сравнении с *PCI*,

что позволяет существующим операционным системам поддерживать *PCI-Express* без всяких изменений.

Пропускная способность и тактовая частота работы шины *PCI-Express* передачи данных может варьироваться: тактовая частота увеличивается или уменьшается, магистраль, соответственно, расширяется или сужается. На физическом уровне поддерживается ширина линий *x1*, *x2*, *x4*, *x8*, *x16* и *x32* в одно направление.

Шине *PCI-Express* присуща хорошая масштабируемость: обычно на материнских платах нет недостатка в разъемах шины *PCI-Express*, к которой можно подключить несколько плат ускорителей *GPU* или ПЛИС. Также в последнее время появились технические решения, позволяющие расширить шину *PCI-Express* через кабельные соединения и подключать дополнительные периферийные устройства вне корпуса компьютера. *PCI-Express* эффективно распределит поток перед тем, как отправлять его по разным физическим линиям, а впоследствии, аналогичный агент соберет разные потоки данных в один.

Актуальность

Использование интерфейса *PCI-Express* и в связи с этим предложенной в статье информации объясняется тем, что выдвигаемые им требования могут быть адаптированы для устройств любого типа, обеспечивая при этом высокую скорость передачи информации – от мобильного телефона до сервера уровня предприятия, при этом в перспективе такой интерфейс может быть использован для других типов носителей, построенных по иным физическим принципам.

Актуальность *PCI-Express* подтверждается преимуществами этого интерфейса перед другими типами интерфейсов, а также тем, что *PCI-Express* де-факто стало стандартом передачи данных между *CPU*, системной памятью и аппаратными ускорителями (*GPU*, ПЛИС) в задачах *HPC*.

Постановка задачи

Определить особенности передачи данных по шине *PCI-Express* и особенности построения соответствующих средств поддержки в раз-

личных компьютерных системах, использующих для этих целей ПЛИС. Определить особенности физической реализации *PCI-Express* в виде модулей с их параметрами, поддерживающих различное количество линий для одновременной (параллельной) передачи информации (битов одного слова – операнда) типа точка–точка с целью повышения производительности системы.

Последние технологические достижения позволили системам, выполненным на платформе *PCI-Express*, достичь высокой пропускной способности 8 Гб/с при использовании обычных материалов для печатных и современных методов выравнивания амплитудно-частотных характеристик между передатчиком и приемником. В работах [5, 6] описан метод статического моделирования программными средствами *Samtec Final Inch* Соединители *Samtec* серий *QTH/QSH* для межплатного соединения (высотой 16 мм). При этом могут быть использованы в системах *PCI-Express* импеданс 100 Ом, где общая длина трассировки не должна превышать 22" (55,88 см) при использовании инструментов *Samtec Final Inch* для разводки платы и различных величин ширины трассировки [6]. Поскольку при передаче данных потери – доминирующий фактор ухудшения характеристик системы: использование трасс малой ширины, трасс со слишком малым количеством прямолинейных участков, решений маршрутизации с большим количеством связей типа *para-para* и дополнительных переходных соединений приведут к снижению эффективности работы системы, а также к превышению максимально допустимой длины трассы.

Системы и модули, использующие *PCI-Express*

В работе [2] рассматривается передача данных по шине *PCI-Express* с применением нескольких ПЛИС. В компьютерной системе к *PCI-Express* шине подключено восемь оконечных устройств (*PCIe endpoints*), при этом запускается одновременно несколько транзакций передачи данных двух типов:

- *DMA* передача между ОЗУ и ПЛИС (чтение/запись);

- прямая передача данных между двумя ПЛИС (запись).

Было использовано соединение *PCI-Express x4 Gen 2.0* при обращении в память. Канал *x16 PCI-Express* заменяет шину *AGP* между графической подсистемой и северным мостом. Вариант *PCI-Express* может заменить и канал между обоими мостами. Предусмотрено также несколько каналов *PCI-Express* от южного моста к контроллеру сетевого интерфейса (*NIC*), устройствам *IEEE 1394* и другой периферии. Южный мост будет по-прежнему поддерживать устаревшие слоты *PCI*. Примеры множества ускорителей на шине *PCI-Express*, отмеченные в [2], включают системы, в которых одновременно работают и *GPU* и ПЛИС. В первом примере команда исследователей из Австралии собрала персональный компьютер из материнской платы *Intel*, процессора *Core i7*, платы *GPU nVidia Tesla C2070* и платы *Altera DE-530* с установленным кристаллом ПЛИС *Stratix-IV*. Они назвали его «Химера». Ключевой особенностью их проекта было то, что *GPU* и ПЛИС работали одновременно над одной задачей, и данные передавались от *GPU* к ПЛИС по шине *PCI-Express*. Однако следует отметить, что этот обмен шел под управлением центрального процессора и через буфер в оперативной памяти.

Другая команда исследователей из Брюсселя, как отмечено в [2], собрала гибридный компьютер с платами *GPU nVidia Tesla C2050* и ПЛИС *Pico Computing EX-500*. Последняя плата может включать в себя от одного до шести кристаллов ПЛИС *Xilinx Virtex 6*, каждая со своим собственным *PCI-Express* интерфейсом к хосту.

В современных *HPC*-системах уже стало привычным применять две платы *GPU* на локальной *PCI-Express* шине вычислительного узла. Для обеспечения обмена данными напрямую между *GPU* была разработана технология *GPUDirect* [7]. Используя эту технологию, можно организовать обмен данными между устройствами *GPU* по шине *PCI-Express* напрямую без применения оперативной памяти в качестве буфера, что позволяет существенно снизить накладные расходы на передачу дан-

ных. Общий вид структурной схемы такого типа изображен на рис. 1. В материнскую плату с процессором *Intel Core i7* в разъем *PCI-Express 2.0 x8* устанавливался адаптер *RNA-25* производства фирмы Роста, расширяющий *PCI-Express* шину через кабельные соединения. Таким образом, в системе к хосту по шине *PCI-Express* с помощью одного адаптера *RNA-25* подключалось восемь ПЛИС *Virtex-7 (V7)*. Все ПЛИС соединялись с коммутатором *PLX* по интерфейсу *PCI-Express x4 Gen 2.0*. Внутри ПЛИС была реализована схема, использующая *PCI-Express IP-ядро* фирмы *Xilinx*. При этом использовалась ОС *Linux*, а также применялись драйверы и библиотеки собственной разработки. Кроме того, при передаче данных между ПЛИС и системной памятью применен механизм прямого доступа в память. Запросы на запись и чтение памяти на шине *PCI-Express* направляются в соответствии с адресом, закодированным в заголовках пакетов. Ведущее устройство способно сгенерировать пакет с произвольным адресом.

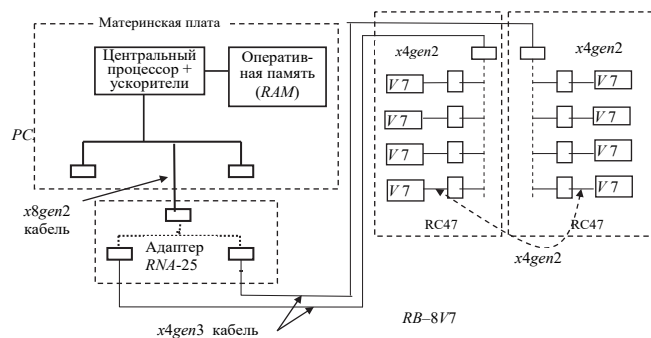


Рис. 1. Упрощенная структурная схема аппаратного обеспечения блока *RB-8V7*, подключенного к хост-машине

Этот адрес может указывать на оперативную память, а может принадлежать области адресов, выделенных другому периферийному устройству. В последнем случае пакет запроса будет направлен от одного устройства к другому. В данном случае передавались запросы на запись между разными ПЛИС. Таким образом, особенность описанной системы заключается в том, что передача данных по шине *PCI-Express* выполнялась с одновременным участием нескольких ПЛИС

В [3] рассматриваются проблемы синтеза масштабируемых интерфейсов для реконфигурируемых вычислительных систем на основе программируемых логических интегральных схем. Библиотека типовых масштабируемых интерфейсов позволяет специальной системе проектирования автоматически масштабировать, каскадировать и распределять вычислительную структуру задачи, состоящую из вычислительных и интерфейсных блоков, что приводит к сокращению времени разработки прикладных задач. При этом возникает проблема выбора и реализации аппаратных средств и интерфейсов для информационного обмена между ПЛИС, так как классические методы построения интерфейсов, используемые в широко распространенных *IBM PC* совместимых персональных компьютерах, не пригодны.

Все внешние устройства подключаются к процессору через мосты. Северный мост используется для подключения графического контроллера и памяти, южный – подключен к северному мосту и содержит контроллеры шин ввода-вывода типа *ISA, PCI, PCI-Express, DMA*-контроллер и контроллеры других устройств.

Появляется еще одна проблема – создания библиотеки интерфейсных блоков, которые можно представить тремя типами: межблочные интерфейсы, загрузки-выгрузки и аппаратные интерфейсы. Все типы интерфейсных блоков должны быть, прежде всего, масштабируемыми и обеспечивать возможность решать задачу переносимости при переходе на другое семейство или при смене фирмы производителя ПЛИС. Библиотека масштабируемых интерфейсов для реконфигурируемых вычислительных систем на основе ПЛИС позволяет объединить в единой вычислительной структуре устройства, реализующие вычисления различными методами параллельно-конвейерной обработки, что значительно упростит создание таких структур и приведет к сокращению времени разработки прикладных задач.

Для реализации перечисленных требований в [3] предлагается использовать язык описания аппаратуры *VHDL (Very high speed integrated circuits Hardware Description Language)*, широко-

ко поддержанный многими современными системами проектирования.

В [8] представлена архитектура шины *PCI-Express*. Каналы *PCI-Express* для устройств ввода-вывода и слотов подключаются непосредственно к северному мосту. Во-первых, это высокая полоса пропускания для ввода-вывода следующего поколения, например, 10 *Gigabit Ethernet* и фабрики *x4 Infiniband*. Удастся подключить к системному набору микросхем больше слотов и встроенных устройств ввода-вывода, что уменьшает число микросхем моста и снижает требования к маршрутизации сигналов на системной плате. И наконец, при отказе от использования микросхемы моста *PCI-X* уменьшается запаздывание передачи между устройствами ввода-вывода и центральным процессором и памятью.

Одно из основных требований к системам цифровой обработки информации – высокая производительность. Существенно увеличить производительность можно путем параллельно работающих аппаратных узлов на ПЛИС. Для использования в системах ЦОС компанией *Xilinx* предложено использовать ПЛИС *Kintex-7* [9]. При этом среди других аппаратных блоков используются контроллеры *PCI-Express*.

Инфраструктура *IP-ядер* «Поддержка *PCI-Express*» (*Infrastructure IP-Cores «Support PCI-Express»*) – структурное решение [10], обеспечивающее обмен данными через шину *PCI-Express* в режиме *DMA*, а также позволяет выступать *FPGA*-модулю на шине *PCI-Express* в качестве устройства, типа «*Endpoint*». В качестве структуры, к которой можно подключить инфраструктуру «Поддержка *PCI-Express*», можно рассматривать готовую инфраструктуру «*Microprocessor Based System on MicroBlaze*», или самостоятельно организовывать структуру для подключения, содержащую в себе *AXI*-коммутатор или группу коммутаторов. В качестве основного устройства, предназначенного для переноса потоков данных между аппаратной платформой в *FPGA*-микросхеме и шиной *PCI-Express*, выступает *IP-ядро* контроллера *CDMA*, позволяющее переносить данные в режиме *DMA* между шиной *PCI-Express* и памятью

SDRAM DDR (User RAM). Стыковку шины *AXI* с шиной *PCI-Express* обеспечивает *IP-ядро* поддержки интегрированного в микросхему *FPGA*-блока аппаратного контроллера *PCIe*, обозначенное на блок-схеме как «*AXI и PCIe protocol converter*». Для облегчения процесса формирования прерываний *MSI* от устройства типа «*Endpoint*» к устройству типа «*Root Complex*» на шине *PCI-Express*, а также для формирования сигналов фиксации прямого доступа «*Root Complex*» к некоторым областям памяти в виде *BAR*-в «*Endpoint*», используется *IP-ядро*, обозначенное на блок-схеме как «*Service Registers*» (рис. 2). При этом требуемые ресурсы для организации средств поддержки показаны в табл. 1.

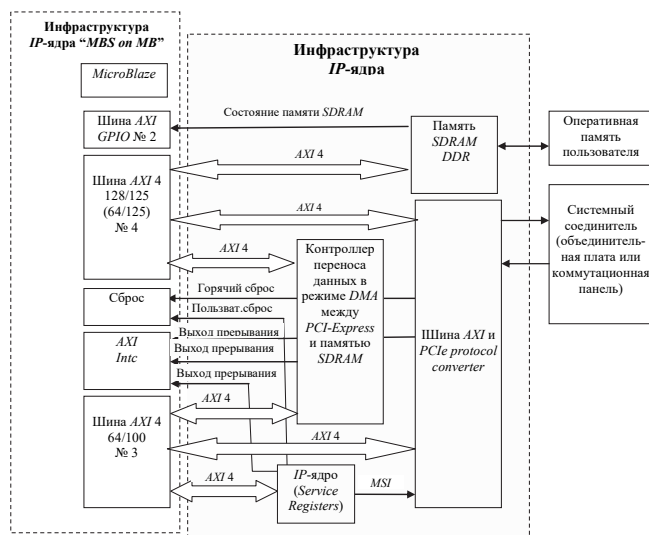


Рис. 2. Функциональная блок-схема средств поддержки *PCI-Express*

Таблица 1. Требуемые ресурсы для инфраструктуры *IP-ядер* «Поддержка *PCI-Express*»

Семейство <i>FPGA Xilinx</i>	Слайсы	Регистры	<i>LUTs</i>	Блок <i>RAM</i>
<i>Virtex-6</i>	11499	25445	26413	25
<i>Virtex-7</i>	13978	28658	38396	24

И наконец, в работе [11] описывается инструмент (эмулятор), позволяющий упростить разработку и отладку некоторого класса аппаратных устройств, работающих по протоколу передачи данных *PCI-Express*. Эмулятор обладает достаточной гибкостью и позволяет запуск стороннего программного обеспечения, работающего с устройством через *PCI-Express*.

Здесь *AXI* – объединенный Интерфейс. Применение *Xilinx's AMBA® 4 AXI 4* спецификации учитывает путь к подключению блоков *IP*, допуская лучшее использование ресурсов проекта. *AXI 4*, позволяет применять многократное использование *IP* и допускает более простую интеграцию через провайдеров *IP* в поддержку *Plug-and-Play FPGA*.

Передача данных через эмулируемый *PCIe* осуществляется по клиент-серверной схеме, где роль сервера выполняет запущенный процесс собственно эмулятора, а клиенты – обычные программы, работающие с устройством через *PCIe*. Кроме того, в [11] представлена схема работы программы в режиме эмуляции. Таким образом, реализуется принцип моделирования: при обоих режимах использования модуль-приложение *app* и пользовательская программа *pgm* остаются одними и теми же. Все изменения, вносимые в тестируемый модуль и в пользовательскую программу, в равной степени отражаются и при симуляции, и при запуске в железе. В режиме эмуляции цикл отладки очень короткий – от нескольких секунд до нескольких минут. Таким образом, основное преимущество эмуляции – это, прежде всего, короткий цикл отладки. Также очевидно удобство в получении отладочной информации: работает отладочная печатка *VHDL*, которую можно сохранить и потом изучить всю трассу значений сигналов, в то время как для аппаратной реализации средства сохранения трассы весьма ограничены.

Примеры реализованных модулей *PCI-Express*

Выбор соответствующей модификации модуля *PCI-Express* основан, как правило, на обеспечении пропускной его способности, которая определена в *Gbit/sec* в прямом и обратном направлениях. Далее приведены указанные параметры для различных линий передачи, обозначенных буквой *x* [4]:

Из таблицы видно, что наиболее быстрые варианты передачи информации реализуют *PCI-Express x16* и *PCI-Express x32*. Поэтому представляет интерес общий вид модуля видеокар-

ты для *PCI-Express x16*, изображенный на рис. 3, а также функциональное назначение контактов разъема *PCI-Express x16* [12–13].

Таблица 2. Пропускная способность *PCI-Express* для различного набора линий передачи

Тип <i>PCI</i>	x1	x2	x4	x8	x12	x16	x32
<i>PCIe 1.0</i>	2/4	4/8	8/16	16/32	24/48	32/64	64/128
<i>PCIe 2.0</i>	4/8	8/16	16/32	32/64	48/96	64/128	128/256
<i>PCIe 3.0</i>	8/16	16/32	32/64	64/128	96/192	128/256	256/512
<i>PCIe 4.0</i>	16/32	32/64	64/128	128/256	192/384	256/512	512/1024

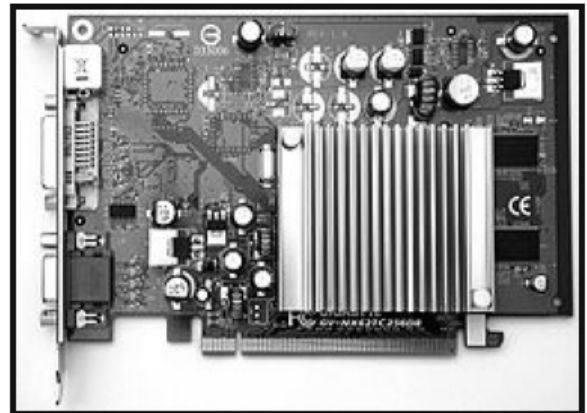


Рис. 3. Общий вид видеокарты для *PCI-Express X16*

Модуль цифровой обработки сигналов *AMBPEX5* предназначен для создания высокопроизводительных систем сбора и цифровой обработки сигналов на базе персональных компьютеров с шиной *PCI-Express*. Модуль содержит интерфейс *ADM*, в который устанавливаются submodule семейства *ADM*, и используется в системах с прямой передачей данных в память ПК, либо с выполнением цифровой обработки сигналов в программируемых логических интегральных схемах (ПЛИС).

На модуле реализованы узлы интерфейса *PCI-Express x8*, интерфейса *ADM*, буферных накопителей (*DDR2 SDRAM* до $512\text{M} \times 64$ и *CIO SBRAM* до $2\text{M} \times 64$), узлы управления submodule и синтеза опорных частот. Гибкость конфигурации модуля определяется реализацией функций управления submodule, потоками данных и цифровой обработки на ПЛИС семейства *Virtex 5*. В зависимости от поставленной задачи можно устанавливать ПЛИС емкостью от 5000 до 11000 тысяч вентилей.

Модуль используется совместно с submodule семейства *ADM*, на которых реализована часть системы, состоящая из физического уровня цифрового интерфейса, аналого-цифровых или цифро-аналоговых преобразователей вместе с сопутствующими схемами согласования, управления, фильтрации, синхронизации и т.д. Поддерживаются возможности расширения канальности и производительности систем путем совместной работы (синхронной или независимой) нескольких устройств. В стандартный комплект программного обеспечения модулей *AMBPEX5* (рис. 4 и 5) входит программа комплексного анализа сигналов *ISVI* с функциями осциллографа и спектроанализатора для сигнала, записанного в файл.

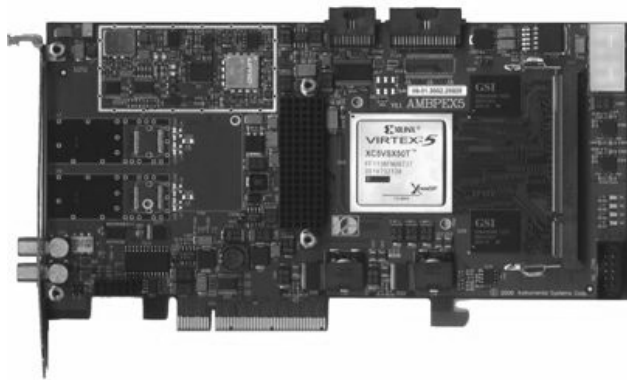


Рис. 4. Внешний вид базового модуля *AMBPEX5*

Для написания собственных прикладных программ предлагается использовать *DAQ Tools* – инструментальное средство разработки прикладного ПО для модулей *AMBPEX5*. Инструментальные средства позволяют настроить параметры модуля и выполнить ввод–вывод данных как в память, так и на жесткий диск. В состав программного пакета входит системный драйвер, набор динамических библиотек, руководство программиста и примеры программирования для языка *C++*.

Основные характеристики модуля:

- ПЛИС *Virtex 5*;
- интерфейс *PCI-Express x8*, скорость передачи данных до 1500 Мб/с;
- интерфейс *PCI-Express x4*, скорость передачи данных до 700 Мб/с;

- поддержка аналого-цифровых submodule семейства *ADM*;
- динамическая память: *SODIMM DDR2* до 4096 Мб;
- статическая память: *CIO SBSRAM* до 16 Мб;
- синхронизация модуля внутренняя от кварцевых генераторов или внешняя от ТТЛ/КМОП/ЭСЛ-генераторов;
- программируемые частоты преобразования;
- синтезатор частот на основе *PLL* до 1000 МГц;
- старт/останов процесса ввода отсчетов: программный; от внешнего ТТЛ, ЭСЛ, КМОП сигналов; пороговый; режим претриггера;
- универсальный 16-разрядный цифровой порт ввода–вывода *LVTTTL/LVDS*;
- возможность совместной синхронной или независимой работы нескольких модулей;
- возможность установки двух модулей *SFP+*;
- с установленным submodule занимает один слот в компьютере.

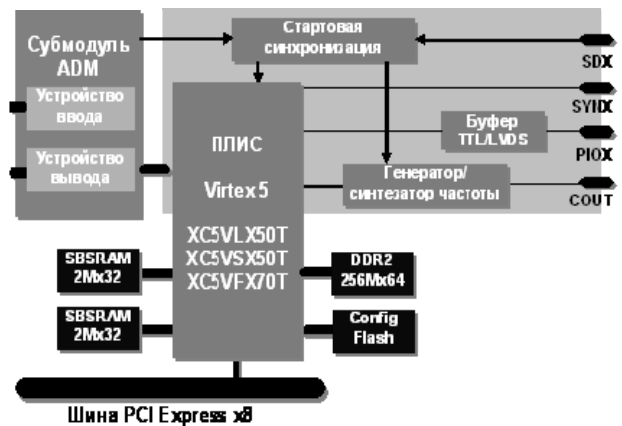


Рис. 5. Структурная схема модуля *AMBPEX5*

В работе [15] представлена аппаратно-программная реконфигурируемая платформа на базе плат, содержащих ПЛИС с применением *PCI-Express*. Описаны основные компоненты, приведены технические характеристики, которые могут быть применены для построения компьютерной системы с высокой производительностью. Далее рассмотрен вариант такой интерфейсной платы *PCI-Express KBA-P8619-PCI-E-01* «Янтарь-1».

Плата «Янтарь-1» предназначена для подключения внешних устройств по интерфейсу

PCI-Express с использованием специализированного кабеля. Плата устанавливается в разъем *PCI-Express* 16x или 8x материнской платы и выводит шину *PCI-Express* на внешние порты 4x. Внешний вид платы показан на рис 6.

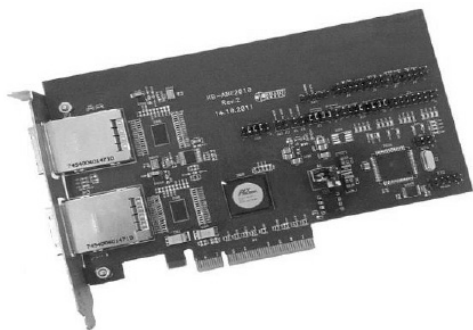


Рис. 6. Внешний вид платы «Янтарь-1»

«Янтарь-1» разработана в соответствии со спецификацией *PCI-Express* 2.0. Подключение внешних устройств осуществляется по медному или оптическому кабелю.

Плата «Янтарь-1» построена на микросхеме коммутатора *PCI-Express PEX8619* фирмы *PLX*. Микросхема позволяет коммутировать внутреннюю шину *PCI-Express* x8 на один или два внешних разъема *PCI-Express* x4. Микросхема *PEX8619* представляет собой не блокируемый коммутатор каналов *PCI-Express* с низкой задержкой и поддержкой *DMA* (прямой доступ к памяти). *PEX8619* имеет аппаратные и программные возможности для конфигурации режимов работы.

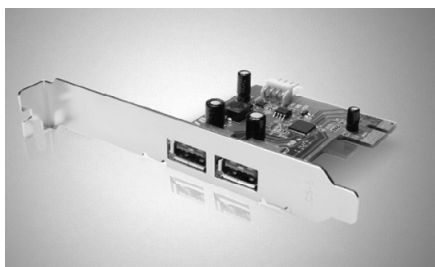


Рис. 7. 2-портовая интерфейсная плата *USB 3.0 PCI-Express*

Доступ к *PROM*-памяти для изменения значений осуществляется через *PEX8619* по шине *PCI-Express* с помощью программных средств *PLX SDK* или программ сторонних производителей. Также во время работы коммутатора по шине *PCI-Express* можно изменять конфигурационные параметры, записывая значения не-

посредственно в конфигурационные регистры *PEX8619*.

Основные технические характеристики платы:

- размер платы: 167,65×111,15 мм;
- микросхема коммутатора: *PCI-Express PEX8619*;
- два внешних порта: *PCI-Express Gen2* x4 (до 40 Гбит/с);
- интерфейс с ПЭВМ: *PCI-Express Gen2* x8 (до 80 Гбит/с).

В [16] представлена 2-портовая интерфейсная плата *USB 3.0 PCI-Express PCIe2U3S2* (рис. 7). *PCI-Express* обеспечивает высокую производительность устройств *USB 3.0*. Благодаря интерфейсу *USB 3.0*, скорость передачи которого достигает 5 Гбит/с, перенос и резервное копирование данных с подключенных устройств проводится быстрее и с улучшенными показателями производительности.

Низкопрофильный кронштейн в комплекте без труда позволяет обеспечить совместимость платы с тонким ПК, используя лишь одну шину *PCI-Express*; к портам можно одновременно подключить два устройства *USB 3.0*, например внешний жесткий диск, флеш-память *USB*, твердотельный накопитель (*SSD*) или другое *USB*-устройство. Оба порта обратно совместимы с устройствами, использующими предыдущую версию стандарта интерфейса – *USB 2.0*. Интерфейсная плата *Buffalo USB 3.0 PCI-Express* – простое решение для подключения и использования устройств *USB 3.0* на ПК. Интерфейсная плата *USB 3.0* для *PCI-Express* – это лучшая возможность для усиления поддержки стандарта *SuperSpeed USB 3.0* на используемом ПК.

Таблицы функционального назначения контактов разъема *PCI-Express* 16x приведены в [13], а множество таблиц сигналов различного назначения *PCI-Express* для *Spartan-6* приведены в [17].

Основные положения организации *PCI-Express* для седьмого семейства *FPGAs*

Текущая версия v3.0, обычно называемая *Gen 3*, была выпущена в ноябре 2010. При этом *Gen 3* удваивает теоретическую полосу пропускания в сравнении с *PCI*, увеличивая частоту

ту от 5,0 Gb/s до 8,0 Gb/s при использовании 128В/130В кодирования схемы [4] .

В табл. 3 приведена основная спецификация *PCI-Express*, отражающая ее развитие, а в табл.4 отражены уровни поддержки скорости и маршрута для седьмого семейства *PCI-Express*.

Таблица 3. Спецификация и основные параметры *PCI-Express* для *Virtex-7*

PCI-спецификация	Частота	Кодирование схемы	Максимум теоретической полосы передачи 1
Gen 1	2,5Gb/s	8В/10В = 20%	2,0 Gb/s
Gen 2	5,0Gb/s	8В/10В = 20%	4,0 Gb/s
Gen 3	8,0Gb/s	128В/130В = 1,5%	7,88 Gb/s

Таблица 4. Уровни поддержки скорости и маршрута для семейства *PCI-Express* для *Virtex-7*

Семейство	Аппаратное ядро (IP)	Программное ядро (IP)
Artix-7	Gen 1x4	–
Kintex-7	Gen 2x8	Gen 3x8
Virtex-7T	Gen 2x8	Gen 3x8
Virtex-7XT	Gen 3x8	Gen 3x8

Интегрированный блок для седьмого семейства *PCI-Express FPGAs* может быть конфигурирован, используя простой основанный на графическом интерфейсе пользователя инструмент, чтобы создать окончательную точку (см. <http://www.xilinx.com/technology/connectivity.htm>).

Интегрированный блок для *PCI-Express* седьмого семейства *FPGAs* произвольно выступает в виде автоматического непрерывного циклического контроля избыточности (*ECRC*) для проверки. Новые порты добавлены, чтобы управлять ошибочным положением и флажками, если *ECRC*-ошибка обнаружена. Проектировщики не должны проектировать эту логику в *FPGA*. Эти особенности обычно используются в таких рыночных сегментах, как космос и защита, банковское дело и финансы, связь, и память.

Общий вид структурной схемы технологической компьютерной системы с использованием *PCI-Express* и множества датчиков данных

По аналогии с рис. 1 [2] можно построить упрощенный вариант структурной схемы технологической компьютерной системы (рис. 8), которая использует *PCI-Express* и множество датчиков данных. Адаптер типа *RNA-25* производства фирмы Роста, установленный в разъем

PCI-Express компьютера, обеспечивает возможность подключения через соответствующие кабели средств предварительной обработки данных, полученных от многочисленных датчиков. При этом для построения этих средств можно использовать как логические, так и процессорные элементы ПЛИС *Virtex 7*, выполненные в виде соответствующих плат (блоков), размещенных вместе с буферными схемами в специальном конструктиве. При использовании технологии *GPU Direc* процедура обмена данными может осуществляться напрямую без применения буферных схем [18].

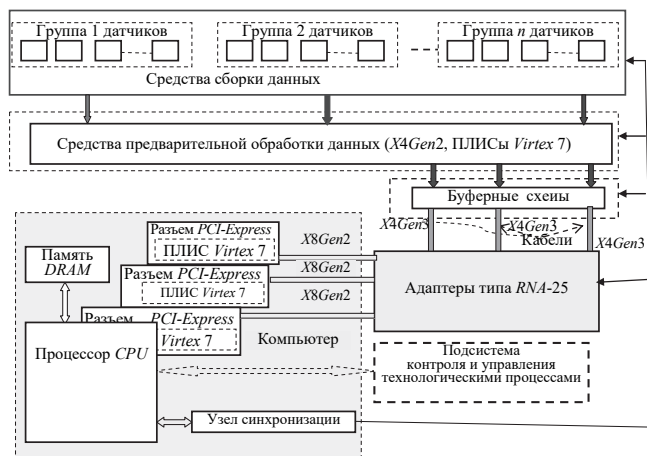


Рис. 8. Упрощенная структурная схема одного из вариантов построения технологической системы с применением *PCI-Express* и множества датчиков

Заключение. Стандарт *PCI-Express* предназначен для использования в компьютерной технике, мобильных устройствах, рабочих станциях, серверах, коммуникационных платформах и встраиваемых устройствах. Основой интерфейса *PCI-Express* в общем случае есть дифференциальные сигнальные пары контактов, совершающие обмен данными по схеме точка–точка.

В статье приведены основные принципы применения *PCI-Express* с использованием различных типов и семейств ПЛИС, а также отдельные экземпляры плат, реализующие *PCI-Express* с различным количеством сигнальных линий для передачи информации по принципу точка–точка, при этом особый интерес представляет передача данных по шине *PCI-Express* с одновременным участием нескольких ПЛИС. Технология *PCI-Express* обеспечивает надежное и

масштабируемое последовательное соединение, обратно совместимое с PCI. Предложен один из возможных вариантов упрощенной структурной схемы технологической системы, использующей PCI-Express, а также ПЛИС в качестве средств предварительной обработки данных и множества датчиков. Приведенная информация может быть полезна разработчикам PCI-Express, что в определенной степени упростит применение и отладку стандарта.

1. PCI Express / Энциклопедия компьютерного железа // ixbt.com. – PCI Express_files /style.css
2. Румянцев Ю.А. Прямая передача данных между ПЛИС Virtex-7 по шине PCI Express. // ООО НПО «Роста». 2013. – С. 107–126. – <http://www.w3c.org/TR/1999/REC-html401-19991224/loose.dtd>><http://odnako.su/css/all-style.min.css?v=21-11-02-07>>
3. Раскладкин М.К. Проблемы синтеза масштабируемых интерфейсов для программируемых логических интегральных схем // Искусственный интеллект. – 2009. – № 4. – С. 288–296.
4. Kraig Lund. PCI Express for the 7 Series FPGAs. // WP384 (v1.0) March 9, 2011. – С. 1–11.
5. Дугин Е. Применение межплатных соединителей Samtec QStrip серий QTH/QSH для высокоскоростной передачи данных в системах стандарта PCI Express 3-го поколения с пропускной способностью 8 Gb/c // Компоненты и технологии. – 2015. – № 9. – С. 126–130.
6. Samtec Final Inch. – <http://www.samtec.com/final-inch.aspx>
7. nVidiaCorporation.GPUDirect. – <https://developer.nvidia.com/gpudirect>

8. Борзенко А. Технология PCI Express // BYTE. – 2005. – № 1 (77).
9. Тарасов И. ПЛИС Xilinx и цифровая обработка сигналов. Особенности, преимущества, перспективы // Электроника. – 2011. – № 3 (00109). – С. 70–74.
10. Инфраструктура IP-ядер «Поддержка PCI Express» // Scan Engineering Telecom. – <http://www.Setdsp.ru>
11. Шворин А.Б. PCI Express для HDL-моделирования. Эмулятор PCI Express для HDL-моделирования. pdf // ИПС им. А.К. Айламазяна РАН. – 2014. – С. 395–400.
12. IP Compiler for PCI Express User Guide. – http://www.altera.com/literature/ug/ug_pci_express.pdf
13. David Baker, Jeffrey Weber. PCI-Express 16x Connector Pin-Out. 1x, 4x, 8x, 16x bus. – 2015 г. – http://pinouts.ru/Slots/rus_index.shtml(http://en.wikipedia.org/wiki/PCI_Express)
14. Базовый модуль AMBPEX5 // 2003 – 2012 ЗАО «Инструментальные системы». – <http://www.insys.ru/ambunits>
15. Елизаров Г.С., Горбунов В.С., Тумов А.Г. Аппаратно-программная платформа моделирующей гетерогенной ВС (МГВС) // ФГУП НИИ «КВАНТ», 2013. – С. 2–16.
16. 2-портовая интерфейсная плата USB 3.0 PCI-Express. – http://www.buffalo_technology.com
17. Spartan-6 FPGA Integrated Endpoint Block for PCI Express. Pre-Production User Guide /UG672 (v1.0) Oct. 5, 2010.
18. nVidiaCorporation.GPUDirect. – <https://developer.nvidia.com/gpudirect>

Поступила 20.09.2016

Тел. для справок: +38 044 526-5113 (Киев)

© Ю.С. Яковлев, 2016

UDC. 004.2; 004.3; 681.5

Ju.S. Jakovlev

Application of Interface PCI-Express for Computer Systems with Usage PLIS Construction

Keywords: PCI Express standard, PLIS, the systems with PCI Express, PCI Express unit cards.

The features of data transfer based on PCI Express and appropriate resources of support in the various computer systems using for these purposes the PLIS are defined. The features of physical implementation PCI Express in the form of units with their parameters, lines supporting various quantity for a simultaneous (parallel) information transfer of type “point-point” to rise the productivity of system are researched.

The parameters and advantages of the PCI Express comparing with the other types of interfaces have lighted a wide range of questions: the alternatives of block schemes of the computer systems, using this interface, resources of the interface support, alternatives of units (cards) with implementation PCI Express.

The possible alternative of the block diagram of such type for the technological system with usage PCI Express and assemblage of the sensors of the data which preparative treatment is fulfilled on assemblage connected by means of the cables PLIS through appropriate adapters is offered.

As to an urgency of the given operation it is possible to mark the following. First, PCI Express became the data transfer standard between CPU, system memory and apparatus accelerators (GPU) in tasks High Performance Computing (HPC). Secondly, PCI Express demands can be adapted for devices of any type, providing thus an information transfer high speed - from a mobile phone to a server of level of firm. Thirdly, parameters PCI-Express essentially exceed now parameters of the majority of interfaces of other types. And, the fourth, such interface can be used for other types of the carrying agents built by other physical principles.

The information can be useful by developers, who are engaged in designing of systems with PCI Express use, sets data gathering means and set PLIS, the data focused on preliminary processing.